

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-40617

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1

W

審査請求 未請求 請求項の数8 O L (全 6 頁)

(21)出願番号

特願平9-195735

(22)出願日

平成9年(1997)7月22日

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者

中沢 孝仁

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者

青木 秀夫

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72)発明者

飯島 利恒

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74)代理人

弁理士 鈴江 武彦 (外6名)

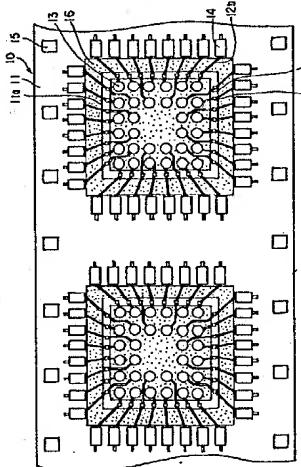
最終頁に続く

(54)【発明の名称】スモール・テープ・キャリア・パッケージ用の配線テープとそれを用いた半導体装置およびそのテスト方法

(57)【要約】

【課題】S T C P構造を有する半導体装置の新品種の開発毎にテスト用ソケットやハンドラーなどの新たな設備投資を不要とし、開発コストの増大化、開発期間の長期化を抑制し、市場のニーズに迅速に対応する。

【解決手段】スモール・テープ・キャリア・パッケージ用のフレキシブルなテープ状の基材11と、テープ状の基材のテープ幅方向の中央領域でテープ長さ方向に一定間隔で設定された単位区画領域11aの1主面であるチップ搭載面に形成されたペアチップ接続用端子12aを含む配線パターン12と、単位区画領域の他の主面であるチップ非搭載面に形成され、配線パターンに接続された外部接続用端子13と、単位区画領域毎に対応してチップ搭載面における単位区画領域の外側に形成され、配線パターンに接続されたテスト用端子14とを具備する。



1

## 【特許請求の範囲】

【請求項1】 スモール・テープ・キャリア・パッケージ用のフレキシブルなテープ状の基材と、前記テープ状の基材のテープ幅方向の中央領域でテープ長さ方向に一定間隔で設定された単位区画領域の1主面であるチップ搭載面に形成されたペアチップ接続用端子を含む配線パターンと、前記単位区画領域の他の主面であるチップ非搭載面に形成され、前記配線パターンに接続された外部接続用端子と、前記単位区画領域毎に対応して前記チップ搭載面における前記単位区画領域の外側あるいは前記チップ非搭載面に形成され、前記配線パターンに接続されたテスト用端子とを具備することを特徴とするスモール・テープ・キャリア・パッケージ用の配線テープ。

【請求項2】 請求項1記載のスモール・テープ・キャリア・パッケージ用の配線テープにおいて、前記テスト用端子は、前記配線パターンに連なって連続的に連なるパッドとして形成されているテスト用パッドであることを特徴とするスモール・テープ・キャリア・パッケージ用の配線テープ。

【請求項3】 請求項1または2記載のスモール・テープ・キャリア・パッケージ用の配線テープにおいて、前記ペアチップ接続用端子は、前記配線パターンに連続的に連なるパッドとして形成されているペアチップ接続用パッドであることを特徴とするスモール・テープ・キャリア・パッケージ用の配線テープ。

【請求項4】 請求項1乃至3のいずれか1に記載のスモール・テープ・キャリア・パッケージ用の配線テープにおいて、

前記外部接続用端子は、前記基材に形成されたスルーホールを介して前記配線パターンに接続され、基材面から垂直方向に突出した金属バンプであることを特徴とするスモール・テープ・キャリア・パッケージ用の配線テープ。

【請求項5】 請求項4記載のスモール・テープ・キャリア・パッケージ用の配線テープと、

前記配線テープの複数のチップ搭載面にそれぞれフリップチップ実装された複数のペア・チップと、

前記各ペア・チップの底面と配線テープとの対向部に充填されてチップ・基板相互を機械的に固定するとともに各ペア・チップの外周面を封止した絶縁樹脂とを具備することを特徴とするテープ状の半導体装置。

【請求項6】 請求項5記載のテープ状の半導体装置が前記単位区画領域毎に分離されたことを特徴とするスモール・テープ・キャリア・パッケージ構造の半導体装置。

【請求項7】 請求項5または6記載の半導体装置において、前記フリップチップ実装されたペア・チップは、素子形

10 2

成面に金属バンプを有し、前記素子形成面の金属バンプが前記配線テープのチップ搭載面に形成されているペアチップ接続用端子に押し付けられてフェースダウン型に実装されていることを特徴とする半導体装置。

【請求項8】 スモール・テープ・キャリア・パッケージ用のフレキシブルなテープ状の基材と、前記テープ状の基材のテープ幅方向の中央領域でテープ長さ方向に一定間隔で形成された単位区画領域の1主面であるチップ搭載面に形成されたペアチップ接続用端子を含む配線パターンと、前記単位区画領域の他の主面であるチップ非搭載面に形成され、前記配線パターンに接続された外部接続用端子と、前記単位区画領域の外側でチップ搭載面あるいはチップ非搭載面に形成され、前記配線パターンに接続されたテスト用端子とを備えたスモール・テープ・キャリア・パッケージ用の配線テープを形成するステップと、

前記配線テープの複数のチップ搭載面にそれぞれペア・チップをフリップチップ実装し、前記各ペア・チップの底面と配線テープとの対向部に絶縁樹脂を充填するとともに各ペア・チップの外周面を絶縁樹脂で封止することにより、スモール・テープ・キャリア・パッケージ構造の複数の半導体装置が帯状に連なるテープ状の半導体装置を形成するステップと、

前記テープ状の半導体装置の各単位区画領域に対応して形成されたテスト用端子を用いて各単位区画領域のスモール・テープ・キャリア・パッケージ構造の半導体装置をそれぞれテストするステップとを具備することを特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置のパッケージの一一種であるスモール・テープ・キャリア・パッケージ(STCP)用の配線テープとそれを用いた半導体装置およびそのテスト方法に係り、特にテープ上の配線パターンとそれを用いた半導体装置およびそのテスト方法に関する。

【0002】

【従来の技術】 小型化が要求される携帯電話器、携帯ビデオテープレコーダなどの電子機器に使用される半導体装置は、パッケージの小型化・薄型化に対する要求が特に強い。このような要求に応じるべく、半導体素子が形成されたペア状態の半導体チップ(ペア・チップ)の実装技術が発展しており、その1つとして、フレキシブルな配線テープ上にペア・チップをフリップチップ実装する技術が知られている。

【0003】 そして、このようなフレキシブルな配線テープ上にフリップチップ実装されたペア・チップを絶縁樹脂により封止した半導体装置のパッケージ構造は、スモール・テープ・キャリア・パッケージ(STCP)と称されている。

50

【0004】図3は、従来のSTCP用の配線テープの一例を概略的に示す上面図、図4は、図3の配線テープの単位区画領域を配線基板として用いたSTCP構造を有する半導体装置の外観の一例を示す斜視図であり、図5は、図4中のA-A線に沿って矢印方向に見た構造を概略的に示す断面図である。

【0005】図3に示すSTCP用の配線テープ50において、フレキシブルなテープ状の基材（テープ基材）51の幅方向中央領域におけるテープ長さ方向に一定間隔で設定された単位区画領域51aには、1主面（チップ搭載面）にペアチップ接続用端子（パッド）52aを含む配線パターン52が形成されており、前記テープ基材51の幅方向両側端付近には、テープ送り用のスプロケットホール53がテープ長さ方向に一定間隔で形成されている。

【0006】上記テープ基材51の他の主面（チップ非搭載面）にはスルーホールを介して前記配線パターン52に接続された外部接続用端子（例えば垂直方向に突出した金属バンプ）54が形成される。

【0007】図4および図5に示すSTCP構造の半導体装置は、図3に示したような配線テープ50を使用したテープ状の半導体装置から配線テープ50の単位区画領域51a毎に分離されたものである。

【0008】上記テープ状の半導体装置は、図3に示したような配線テープ50の単位区画領域51aのチップ搭載面に形成されているペアチップ接続用パッド52a上に、ペア・チップ20の素子形成面に形成された金属バンプ21を押し付けてフェースダウン型に接続（フリップチップボンディング、フリップチップ実装）した後、チップ底面と配線テープとの対向部に絶縁樹脂22を充填してテープ・チップ相互を機械的に固定するとともにチップの外周面を絶縁樹脂22により封止することにより得られる。

【0009】ところで、従来の半導体装置のテストに際しては、テープ状の半導体装置からSTCP構造の半導体装置が分離されていない状態において、外部接続用端子54にテスト用ソケットをコンタクトさせているが、半導体装置の品種に応じて決定された外部接続用の形状、サイズなどに応じてテスト用ソケットの構造を変更する必要がある。

【0010】従って、半導体装置の新品種の開発毎に、テスト用ソケットやハンドラーなどの新たな設備投資が必要となり、開発コストの増大化、開発期間の長期化をまねき、市場のニーズに迅速に対応することができない。

【0011】また、狭ピッチ、多ピンのSTCP構造の半導体装置に対してテスト用ソケットを用意（制作）することは、技術的に困難であり、パッケージの小型化が困難である。

【0012】なお、前記したような従来のSTCP用の

配線テープ50に形成されている配線パターン52は、ペアチップ接続用端子（パッド）21と外部接続用端子54とを接続するのみであり、従来は、STCP用の配線テープに形成されている配線パターンを利用して半導体装置のテストを行う技術思想は見られない。

### 【0013】

【発明が解決しようとする課題】上記したように従来のSTCP用の配線テープを用いた半導体装置は、新品種の開発毎にテスト用ソケットやハンドラーなどの新たな設備投資が必要となり、開発コストの増大化、開発期間の長期化をまねき、市場のニーズに迅速に対応することができないという問題があった。

【0014】本発明は上記の問題点を解決すべくなされたもので、新品種の開発毎にテスト用ソケットやハンドラーなどの新たな設備投資が不要となり、開発コストの増大化、開発期間の長期化を抑制し、市場のニーズに迅速に対応し得るスマート・テープ・キャリア・パッケージ用の配線テープとそれを用いた半導体装置およびそのテスト方法を提供することを目的とする。

### 【0015】

【課題を解決するための手段】本発明のスマート・テープ・キャリア・パッケージ用の配線テープは、スマート・テープ・キャリア・パッケージ用のフレキシブルなテープ状の基材と、前記テープ状の基材のテープ幅方向の中央領域でテープ長さ方向に一定間隔で設定された単位区画領域の1主面であるチップ搭載面に形成されたペアチップ接続用端子を含む配線パターンと、前記単位区画領域の他の主面であるチップ非搭載面に形成され、前記配線パターンに接続された外部接続用端子と、前記単位区画領域毎に対応して前記チップ搭載面における前記単位区画領域の外側あるいは前記チップ非搭載面に形成され、前記配線パターンに接続されたテスト用端子とを具備することを特徴とする。

【0016】また、本発明のテープ状の半導体装置は、前記スマート・テープ・キャリア・パッケージ用の配線テープと、前記配線テープの複数のチップ搭載面にそれぞれフリップチップ実装された複数のペア・チップと、前記各ペア・チップの底面と配線テープとの対向部に充填されてチップ・基板相互を機械的に固定するとともに各ペア・チップの外周面を封止した絶縁樹脂とを具備することを特徴とする。

【0017】また、本発明のスマート・テープ・キャリア・パッケージ構造の半導体装置は、前記テープ状の半導体装置が単位区画領域毎に分離されたことを特徴とする。また、本発明の半導体装置のテスト方法は、スマート・テープ・キャリア・パッケージ用のフレキシブルなテープ状の基材と、前記テープ状の基材のテープ幅方向の中央領域でテープ長さ方向に一定間隔で形成された単位区画領域の1主面であるチップ搭載面に形成されたペアチップ接続用端子を含む配線パターンと、前記単位区

画領域の他の主面であるチップ非搭載面に形成され、前記配線パターンに接続された外部接続用端子と、前記単位区画領域の外側でチップ搭載面あるいはチップ非搭載面に形成され、前記配線パターンに接続されたテスト用端子とを備えたスマート・テープ・キャリア・パッケージ用の配線テープを形成するステップと、前記配線テープの複数のチップ搭載面にそれぞれベア・チップをフリップチップ実装し、前記各ベア・チップの底面と配線テープとの対向部に絶縁樹脂を充填するとともに各ベア・チップの外周面を絶縁樹脂で封止することにより、スマート・テープ・キャリア・パッケージ構造の複数の半導体装置がテープ状に連なるテープ状の半導体装置を形成するステップと、前記テープ状の半導体装置の各単位区画領域に対応して形成されたテスト用端子を用いて各単位区画領域のスマート・テープ・キャリア・パッケージ構造の半導体装置をそれぞれテストするステップとを備することを特徴とする。

## 【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係るSTC用の配線テープの一例を概略的に示す上面図である。

【0019】図1に示すSTC用の配線テープ10はフレキシブルなテープ状の基材(テープ基材)11の幅方向中央領域において、テープ長さ方向に一定間隔で単位区画領域11aが設定されている。この単位区画領域11aにおいて、1主面であるチップ搭載面にベアチップ接続用端子12aを含む配線パターン12が形成されている。本例では、前記ベアチップ接続用端子12aは、前記配線パターン12に連続的に連なるパッド(ベアチップ接続用パッド)としてパターン形成されている。

【0020】前記テープ基材11の他の主面であるチップ非搭載面には、テープ基材11のスルーホールを介して前記配線パターン12に接続されるように外部接続用端子13が形成される。この外部接続用端子として、前記基材に形成されたスルーホールを介して前記配線パターン12の裏面に接続され、基材面から垂直方向に突出した金属バンプ13が形成される。

【0021】さらに、前記単位区画領域11a毎に対応して前記チップ搭載面における単位区画領域11aの外側には、前記配線パターン12に接続された複数のテスト用端子14が形成されている。前記テスト用端子14は、前記配線パターン(本例ではベアチップ接続用パッド12a)に連続的に連なって放射状に延びる配線引き出しパターン12bの先端部にパッド(テスト用パッド)としてパターン形成されている。

【0022】そして、前記テープ基材11の幅方向両側端付近には、テープ送り用のスプロケットホール15がテープ長さ方向に一定間隔で形成されている。なお、前

記STC用の配線テープ10は、周知のTAB(Tape Auto Bonding)テープと同様の製造方法により製造されている。そして、既存のTAB用のテスターを使用して本発明の半導体装置をテストするためには、前記テスト用パッド14の位置、大きさなどを、TAB用のテスターの使用を前提としたTABテープの標準化仕様に準拠して形成しておくことが望ましい。

【0023】また、前記単位区画領域11aのチップ搭載面におけるペアチップ接続用パッド12aおよびテスト用パッド14の上を除いて、パターン形成領域上にレジスト膜16がコーティングされている。このレジスト膜(例えばソルダーレジスト膜)16は、後述するフリップチップ実装に際して半田接合のように金属を溶融する接合方式を採用する場合に必要とするが、レジスト膜を必要としない他の接合方式を採用する場合には前記レジスト膜を省略可能である。

【0024】図2は、図1の配線テープ10の複数の単位区画領域11aのチップ搭載面にそれぞれベア・チップ20がフリップチップ実装されて樹脂封止されたテープ状の半導体装置30の外観の一例を示す斜視図である。

【0025】図2のテープ状の半導体装置30が単位区画領域11a毎に分離されて得られるSTC構造を有する半導体装置の外観は、例えば図4に示したようなものであり、その断面構造は、例えば図5に概略的に示したようなものである。

【0026】即ち、図1に示したような配線テープの複数の単位区画領域11aのチップ搭載面にそれぞれ形成されているペアチップ接続用パッド12aにそれぞれベア・チップ20の素子形成面の金属バンプ21を押し付けてフェースダウン型に接続(フリップチップ実装)した後に、チップ底面と配線テープとの対向部に絶縁樹脂22を充填してチップ・テープ相互を機械的に固定するとともにチップの外周面を絶縁樹脂22により封止することにより、図2に示したようなテープ状の半導体装置30が得られる。

【0027】そして、このテープ状の半導体装置30を配線テープ10の単位区画領域11a毎に分離することにより、図4および図5に示したようなSTC構造を有する半導体装置が得られる。

【0028】なお、前記テスト用端子14の位置は、上記実施例では配線テープ10の単位区画領域11a毎に対応して単位区画領域11aの外側におけるチップ搭載面に形成したが、これに限らず、単位区画領域11aの外側におけるチップ非搭載面、あるいは、単位区画領域11aの内側におけるチップ非搭載面に形成してもよい。

【0029】次に、本発明の半導体装置のテスト方法の一例について簡単に説明する。まず、図1に示したようなスマート・テープ・キャリア・パッケージ用の配線テ

ープ10を形成し、さらに、図2に示したようなテープ状の半導体装置30を形成する。次に、テープ状の半導体装置30の各単位区画領域に対応して形成されたテスト用パッド14を用いて各単位区画領域11aのSTC P構造を有する半導体装置をそれぞれテストする。

〔0030〕即ち、本発明のSTCP用の配線テープとそれを用いたSTCP構造を有する半導体装置によれば、パッケージの狭ピッチ化、多ピン化に依存せずにテスト用パッド14のパッド間隔を一定に形成しておくことによりテストが可能になるので、パッケージの狭ピッチ化、多ピン化が可能であり、量産性も向上する。

【0031】また、本発明の半導体装置のテスト方法によれば、STCP構造を有する半導体装置の狭ピッチ化、多ピン化に依存せずにテスト用パッド14のパッド間隔を一定に形成しておくことにより、常に同じテスト用ソケットを使用することができるので、テストコストを低減することができる。

[0032]

【発明の効果】 上述したように本発明によれば、新品種の開発毎にテスト用ソケットやハンドラーなどの新たな設備投資が不要となり、開発コストの増大化、開発期間の長期化を抑制し、市場のニーズに迅速に対応し得るスマート・テープ・キャリア・パッケージ用の配線テープとそれを用いた半導体装置およびそのテスト方法を提供することができる。

### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るSTCP用の

配線テープの一例を概略的に示す上面図。  
【図2】図1の配線テープの複数のチップ搭載面にそれぞれペア・チップがフリップチップ実装されて樹脂封止されたテープ状の半導体装置の外観の一例を示す斜視図。

【図3】従来のS T C P用の配線テープの一例を概略的に示す上面図。

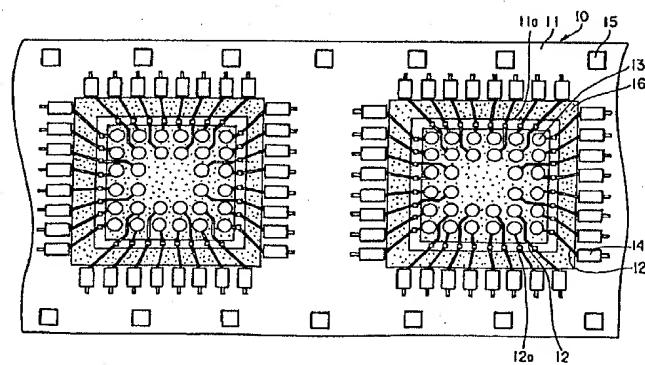
【図4】図3の配線テープの単位区画領域を配線基板として用いたSTCP構造を有する半導体装置の外観の一例を示す斜視図。

【図5】図4中のA-A線に沿って矢印方向に見た構造を概略的に示す断面図。

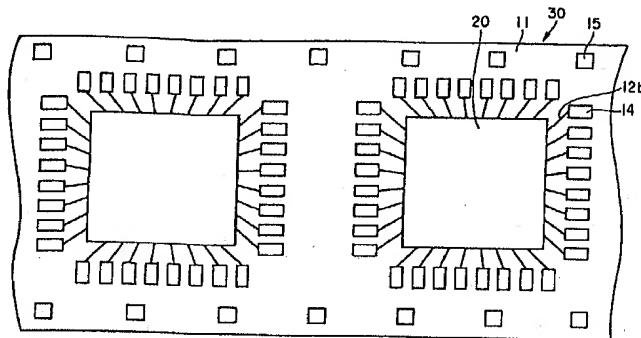
### 〔符号の説明〕

- 1 0 …配線テープ、
- 1 1 …フレキシブルなテープ基材、
- 1 1 a …単位区画領域、
- 1 2 a …ペアチップ接続用端子、
- 1 2 …配線パターン、
- 1 3 …外部接続用端子、
- 1 4 …テスト用端子、
- 1 5 …スプロケットホール、
- 2 0 …ペア・チップ、
- 2 1 …金属バンプ、
- 2 2 …絶縁樹脂、
- 3 0 …テープ状の半導体装置、
- 6 0 …STCP構造を有する半導体装置。

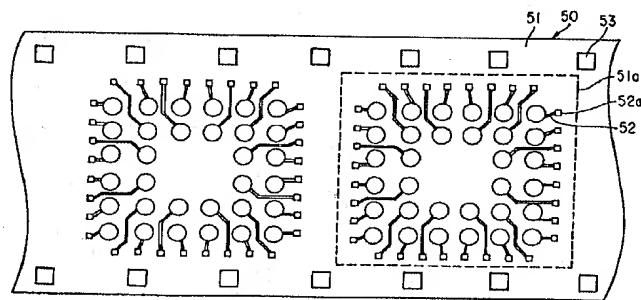
[四] 一



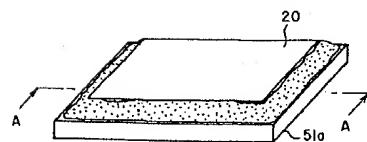
[図2]



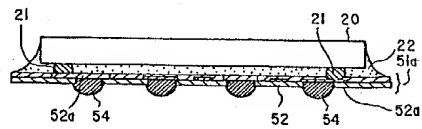
[図3]



[図4]



[図5]



フロントページの続き

(72)発明者 蛭田 陽一

神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内